

ENGLISH

Description of activities

Reliable and Time-Predictable Low-Power RISC-V Vector Processor for AI-Enhanced Safety-Critical Applications

To meet the increasing computational demands of AI-enhanced applications in safety-critical domains such as automotive, space, and robotics, near-sensor zonal/onboard controllers must efficiently handle compute-intensive tasks while ensuring reliable, time-predictable execution of time-critical tasks (TCTs). These controllers operate within a stringent sub-2W power budget, typical of high-end microcontrollers, making it essential to optimize performance, efficiency, and area.

Heterogeneous mixed-criticality System-on-Chip (SoC) architectures, combining general-purpose (GP) processors with domain-specific accelerators (DSAs), are key to achieving these goals. However, designing DSAs that meet both performance and dependability requirements while remaining compact and power-efficient presents a significant challenge.

Floating-point DSP tasks, such as radar signal processing and advanced predictive control, along with a new class of low-precision AI-enhanced mission-critical decision tasks (e.g., object detection, collision avoidance, and ADAS-critical monitoring or onboard satellite processing), require acceleration to meet strict real-time constraints. At the same time, these accelerators must ensure fault tolerance and resiliency.

Objective

This activity aims to design a **reliable and time-predictable low-power RISC-V vector processor** that addresses these challenges.

Key Activities

- 1. Study of Fault-Tolerant and Reliable Computing Techniques**
Review state-of-the-art methods for fault tolerance and reliability in digital computing systems.
- 2. Analysis of Existing RISC-V Vector Architectures**
Investigate and evaluate current RISC-V vector processing solutions.
- 3. Design of a Fault-Tolerant RISC-V Vector Processor**
Develop and integrate fault-tolerant mechanisms into a RISC-V vector processor while maintaining efficiency and low power consumption.
- 4. Robustness Evaluation through Fault Injection Simulations**
Conduct extensive fault injection simulations using existing tools to assess the reliability of the proposed solution.
- 5. Implementation and Performance Evaluation**
Implement the design targeting an available fabrication technology node and evaluate key metrics such as performance, power consumption, and area overhead.

This project will contribute to the development of AI-capable, fault-tolerant RISC-V architectures suitable for demanding real-time and safety-critical applications.

ITALIAN

Descrizione delle attività

Reliable and Time-Predictable Low-Power RISC-V Vector Processor for AI-Enhanced Safety-Critical Applications

Per soddisfare le crescenti esigenze computazionali delle applicazioni potenziate dall'IA in settori safety-critical come l'automotive, lo spazio e la robotica, i controller zonali/onboard near-sensor devono gestire in modo efficiente compiti ad alta intensità di calcolo, garantendo al contempo un'esecuzione affidabile e temporalmente prevedibile dei **time-critical tasks (TCTs)**. Questi controller operano con un vincolo energetico stringente, tipicamente inferiore a 2W, caratteristico dei microcontrollori di fascia alta, rendendo essenziale l'ottimizzazione di prestazioni, efficienza e area.

Le architetture **System-on-Chip (SoC) eterogenee a criticità mista**, che combinano processori general-purpose (GP) con acceleratori specifici per dominio (**DSA**), sono la chiave per raggiungere questi obiettivi. Tuttavia, la progettazione di DSAs in grado di soddisfare sia i requisiti prestazionali sia quelli di affidabilità, mantenendo al contempo compattezza ed efficienza energetica, rappresenta una sfida significativa.

Compiti DSP in virgola mobile, come l'elaborazione del segnale radar e il controllo predittivo avanzato, insieme a una nuova classe di **task decisionali mission-critical potenziati dall'IA** (es. rilevamento di oggetti, evitamento di collisioni, monitoraggio critico per ADAS o elaborazione a bordo satellite), necessitano di accelerazione per rispettare severi vincoli real-time. Allo stesso tempo, questi acceleratori devono garantire **tolleranza ai guasti e resilienza**.

Obiettivo

L'obiettivo di questa attività è progettare un **processore vettoriale RISC-V affidabile e temporalmente prevedibile a basso consumo**, in grado di affrontare queste sfide.

Attività Principali

1. **Studio delle Tecniche per la Tolleranza ai Guasti e l'Affidabilità nei Sistemi di Calcolo Digitali**
Analisi dello stato dell'arte sulle metodologie per migliorare affidabilità e resilienza nei sistemi computazionali.
2. **Analisi delle Architetture Vettoriali RISC-V Esistenti**
Studio e valutazione delle soluzioni attuali di elaborazione vettoriale basate su RISC-V.
3. **Progettazione di un Processore Vettoriale RISC-V Tollerante ai Guasti**
Sviluppo e integrazione di meccanismi di tolleranza ai guasti all'interno di un

processore vettoriale RISC-V, mantenendo efficienza ed elevata densità computazionale.

4. **Valutazione della Robustezza tramite Simulazioni di Iniezione di Guasti**

Conduzione di simulazioni di iniezione di guasti con strumenti esistenti per testare l'affidabilità delle soluzioni proposte.

5. **Implementazione e Valutazione delle Prestazioni**

Implementazione del design su un nodo tecnologico di fabbricazione disponibile e analisi delle metriche chiave come prestazioni, consumo energetico e area occupata.

Questo progetto contribuirà allo sviluppo di **architetture RISC-V affidabili e compatibili con l'IA**, adatte a scenari applicativi real-time e safety-critical.